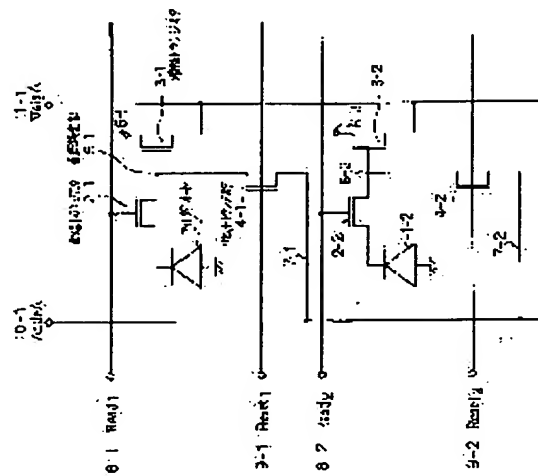


(11)Publication number : 2003-230055  
(43)Date of publication of application : 15.08.2003

H04N 5/335  
H01L 27/146

(71)Applicant : SONY CORP  
(72)Inventor : NAKAMURA NOBUO

**SOLUTION:** Each unit pixel of the solid-state image pickup apparatus includes: a photo diode 1, a transfer transistor 2; an amplification transistor 3; a reset transistor 4; and a drive power supply 6. Further, the signal line includes: a transfer control line 8; a reset control line 9; a reset drain line 7; a common drain control line 10; and a common vertical (output) signal line 11. In the pixel structure as above, the transfer control line 8 and the reset control line 9 are placed in a horizontal direction (first direction) and the address control line 10 and the vertical signal line 11 are placed in a vertical direction (second direction). Thus, the number of lines per one pixel is two each in the lateral and longitudinal directions, and the pixel size can be reduced with the well-balanced wiring.



[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-230055

(P2003-230055A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

データコード(参考)

H 0 4 N 5/335

H 0 4 N 5/335

U 4 M 1 1 8

H 0 1 L 27/146

H 0 1 L 27/14

A 5 C 0 2 4

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号 特願2002-28080(P2002-28080)

(22) 出願日 平成14年2月5日 (2002.2.5)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中村 信男

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100089875

弁理士 野田 茂

Fターム(参考) 4M118 AB01 BA14 CA02 DD09 FA06

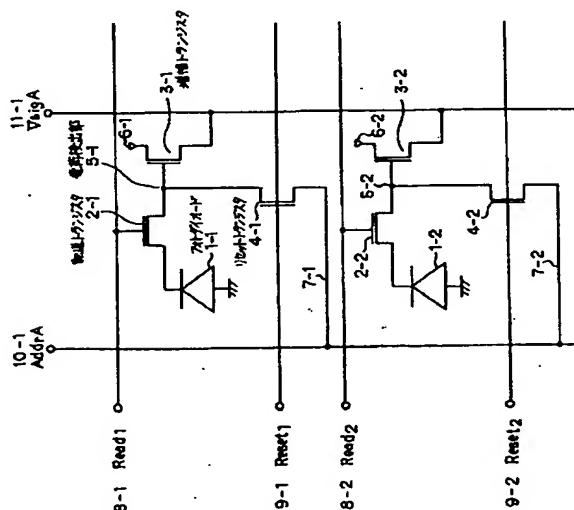
5C024 CX32 CX41 CX03 HX40

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 画素サイズに影響する配線レイアウトを改善し、単位画素の微細化を達成でき、受光部の開口率を向上する。

【解決手段】 固体撮像装置の各单位画素は、フォトダイオード1、転送トランジスタ2、増幅トランジスタ3、リセットトランジスタ4、駆動電源6を有する。また、信号配線は、転送制御線8、リセット制御線9、リセットドレイン線7、共通ドレイン制御線10、共通垂直(出力)信号線11を有する。このような画素構造において、転送制御線8とリセット制御線9は水平方向(第1方向)に配置されており、アドレス制御線10と垂直信号線11は垂直方向(第2方向)に配置されている。このように、1画素あたりの配線数は横方向も縦方向も2本ずつであり、バランスのよい配線によって画素サイズの縮小を図る。



## 【特許請求の範囲】

【請求項1】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電荷検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、前記転送トランジスタのゲートを制御する転送制御線と前記リセットトランジスタのゲートを制御するリセット制御線が前記単位画素の2次元行列配置の第1方向に配置され、前記リセットトランジスタのドレイン電圧を制御するアドレス制御線と前記増幅トランジスタのソースに接続される出力信号線が前記単位画素の2次元行列配置の第2方向に接続されている、ことを特徴とする固体撮像装置。

【請求項2】 前記第1方向の信号線は第1の金属電極で形成され、前記第2方向の信号線は第2の金属電極で形成されていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記増幅トランジスタのドレインは、前記第1、第2の金属電極と異なる第3の金属電極で構成され、隣接する複数の画素間で共通化された電源電圧線に接続されていることを特徴とする請求項1記載の固体撮像装置。

【請求項4】 前記アドレス制御線を一定期間アクティブレベルに固定し、次に前記リセットトランジスタにアクティブレベルのパルス印加して前記電荷検出部をリセットし、次に前記転送トランジスタにアクティブレベルのパルス印加して前記光電変換素子の信号電荷を前記電荷検出部へ転送し、前記アドレス制御線をノンアクティブレベルに戻すことにより、前記光電変換素子の信号電荷の読み出しを行う動作モードを有することを特徴とする請求項1記載の固体撮像装置。

【請求項5】 前記アドレス制御線がノンアクティブレベルの期間に前記リセットトランジスタにアクティブレベルのパルス印加し、前記電荷検出部をリセットした後で、前記アドレス制御線をアクティブレベルに戻すことにより、前記光電変換素子の信号電荷のリセットを行う動作モードを有することを特徴とする請求項4記載の固体撮像装置。

【請求項6】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電荷検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、

水平帰線期間毎に前記リセットトランジスタをON状態にすることにより、前記電荷検出部を所定の電圧にリセットする動作モードを有する、ことを特徴とする固体撮像装置。

【請求項7】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電荷検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、前記転送トランジスタのゲートを制御する転送制御線と前記リセットトランジスタのドレインを制御するアドレス制御線が前記単位画素の2次元行列配置の第1方向に配置され、前記リセットトランジスタのゲートを制御するリセット制御線と前記増幅トランジスタのソースに接続される出力信号線が前記単位画素の2次元行列配置の第2方向に接続されている、ことを特徴とする固体撮像装置。

【請求項8】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電荷検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、前記リセットトランジスタのドレインと前記増幅トランジスタのドレインが共通接続されている、ことを特徴とする固体撮像装置。

【請求項9】 前記第1方向の信号線は第1の金属電極で形成され、前記第2方向の信号線は第2の金属電極で形成されていることを特徴とする請求項8記載の固体撮像装置。

【請求項10】 垂直走査方向に隣接する単位画素のリセットトランジスタのドレインを共通接続したことを特徴とする請求項1記載の固体撮像装置。

【請求項11】 垂直走査方向に隣接する単位画素のリセットトランジスタのドレインを共通接続したことを特徴とする請求項7記載の固体撮像装置。

【請求項12】 垂直走査方向に隣接する単位画素のリセットトランジスタのドレインを共通接続したことを特徴とする請求項8記載の固体撮像装置。

【請求項13】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前

記電気検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、垂直走査方向に隣接する単位画素で一部の信号線を共通化した、

ことを特徴とする固体撮像装置。

【請求項14】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電気検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、水平走査方向に隣接する単位画素で一部の信号線を共通化した、

ことを特徴とする固体撮像装置。

【請求項15】 2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電気検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、垂直走査方向および水平走査方向に隣接する単位画素で一部の信号線を共通化した、

ことを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種カメラシステム等に用いられる固体撮像装置に関し、特に2次元配列された単位画素毎に増幅型MOSセンサを用いた固体撮像装置に有効なものに関する。

【0002】

【従来の技術】従来より、この種の固体撮像装置として、例えば特開平10-93066号公報に開示されるものが知られている。この固体撮像装置では、2次元配列された各単位画素毎に、入射光の光量に応じた信号電荷を生成するフォトダイオードと、このフォトダイオードで生成した信号電荷を読み出して電荷検出部(FD; フローティングでフュージョン部)に転送する転送(読み出し)トランジスタと、電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、電気検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けたものであり、各画素を3つのトランジスタで構成することで、各単位画素の素子構成を簡素化し、画素の微細化等を図るものである。そして、上記従来の固体撮像装置では、転送トランジスタのゲートを制御する転送制御線、リセットトランジスタのドレインを制御するアドレス制御線、およびリセットトランジスタ

のゲートを制御するリセット制御線の3本の配線を2次元画素配置の横方向(水平方向)に配線し、増幅トランジスタのソースに接続される出力信号線を縦方向(垂直方向)に配線している。

【0003】

【発明が解決しようとする課題】しかしながら、上述のような配線のレイアウトを用いた場合、各単位画素の縦方向の寸法が3本の配線のライン幅とスペース幅の影響を受けてしまい、微細な画素を作ることが困難となる。このため上述のように単位画素のトランジスタの数を3つに削減しても、画素サイズが配線ピッチの影響を受けてしまうので、画素の微細化を行うことが困難となってしまう。このように上記従来の固体撮像装置においては、トランジスタの数を削減しても、配線による画素サイズの制約が大きくなるため、十分なフォトダイオードの開口面積をもった画素のレイアウトが困難であった。

【0004】そこで本発明の目的は、画素サイズに影響する配線レイアウトを改善し、単位画素の微細化を達成でき、受光部の開口率を向上することが可能な固体撮像装置を提供することにある。

【0005】

【課題を解決するための手段】本発明は前記目的を達成するため、2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電気検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、前記転送トランジスタのゲートを制御する転送制御線と前記リセットトランジスタのゲートを制御するリセット制御線が前記単位画素の2次元行列配置の第1方向に配置され、前記リセットトランジスタのドレイン電圧を制御するアドレス制御線と前記増幅トランジスタのソースに接続される出力信号線が前記単位画素の2次元行列配置の第2方向に接続されていることを特徴とする。

【0006】また本発明は、2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電気検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、水平掃線期間毎に前記リセットトランジスタをON状態にすることにより、前記電荷検出部を所定の電圧にリセットする動作モードを有することを特徴とする。

【0007】また本発明は、2次元配列で複数の単位画

素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電荷検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、前記転送トランジスタのゲートを制御する転送制御線と前記リセットトランジスタのドレインを制御するアドレス制御線が前記単位画素の2次元行列配置の第1方向に配置され、前記リセットトランジスタのゲートを制御するリセット制御線と前記増幅トランジスタのソースに接続される出力信号線が前記単位画素の2次元行列配置の第2方向に接続されていることを特徴とする。

【0008】また本発明は、2次元配列で複数の単位画素を配置した撮像領域を有し、少なくとも前記単位画素に、入射光の光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子の信号電荷を読み出して電荷検出部に転送する転送トランジスタと、前記電荷検出部の電位変動に対応する電気信号を出力する増幅トランジスタと、前記電荷検出部の電位を所定の初期値にリセットするリセットトランジスタとを設けた固体撮像装置において、前記リセットトランジスタのドレインと前記増幅トランジスタのドレインが共通接続されていることを特徴とする。

【0009】本発明の固体撮像装置では、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、転送トランジスタのゲートを制御する転送制御線とリセットトランジスタのゲートを制御するリセット制御線が単位画素の2次元行列配置の第1方向に配置され、リセットトランジスタのドレイン電圧を制御するアドレス制御線と増幅トランジスタのソースに接続される出力信号線が単位画素の2次元行列配置の第2方向に接続されている。このため、各単位画素における配線を2次元方向にバランスよく分散できるので、画素サイズに対する配線の影響を緩和でき、単位画素の微細化を達成でき、また、受光部の開口率を向上することができる。

【0010】また、本発明の固体撮像装置では、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、水平帰線期間毎にリセットトランジスタをON状態にすることにより、前記電荷検出部を所定の電圧にリセットする動作モードを有する。このため、水平帰線期間毎に電荷検出部をリセットできるので、電荷検出部のリーク電流などの影響を防ぐことができ、各素子や配線のレイアウトが容易となり、その分、単位画素の微細化も可能となり、また、受光部の開口率を向上することができる。

【0011】また、本発明の固体撮像装置では、各単位画素に光電変換素子、転送トランジスタ、増幅トランジ

スタ、およびリセットトランジスタを設けた構成で、転送トランジスタのゲートを制御する転送制御線とリセットトランジスタのドレインを制御するアドレス制御線が単位画素の2次元行列配置の第1方向に配置され、リセットトランジスタのゲートを制御するリセット制御線と増幅トランジスタのソースに接続される出力信号線が単位画素の2次元行列配置の第2方向に接続されている。このため、各単位画素における配線を2次元方向にバランスよく分散できるので、画素サイズに対する配線の影響を緩和でき、単位画素の微細化を達成でき、また、受光部の開口率を向上することができる。

【0012】さらに、本発明の固体撮像装置では、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、リセットトランジスタのドレインと増幅トランジスタのドレインが共通接続されている。このため、単位画素における配線数を減らすことができ、その分のスペースを削減して、単位画素の微細化を達成でき、また、受光部の開口率を向上することができる。

【0013】

【発明の実施の形態】以下、本発明による固体撮像装置の実施の形態例について説明する。なお、以下に説明する実施の形態は、本発明の好適な具体例であり、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において、特に本発明を限定する旨の記載がない限り、これらの態様に限定されないものとする。

【0014】図1は、本発明の第1の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。本実施の形態による固体撮像装置は、基本的には上述した従来例（特開平10-93066号公報）と同様に2次元配列で複数の単位画素を配置した撮像領域を有し、この撮像領域の各単位画素を垂直、水平走査手段によって走査し、各単位画素から画素信号を出力信号線より取り出すものである。

【0015】そして、この固体撮像装置の各単位画素は、光電変換素子としてのフォトダイオード1（1-1、1-2、……）と、このフォトダイオード1の信号電荷を読み出して電荷検出部5（5-1、5-2、……）に転送する転送トランジスタ2（2-1、2-2、……）と、この電荷の転送による電荷検出部5の電位変動に基づいて増幅電圧信号を出力する増幅トランジスタ3（3-1、3-2、……）と、フォトダイオード1をリセットするリセットトランジスタ4（4-1、4-2、……）を有する。また、増幅トランジスタ3のドレインには、駆動電源6（6-1、6-2、……）が接続されている。なお、各素子の括弧内の符号は各画素に対応する符号である。また、各画素の信号配線としては、転送トランジスタ2の転送制御線8（8-1、8-2、……）と、リセットトランジスタ4のゲートを制御する

10

20

30

40

50

リセット制御線9(9-1、9-2、……)と、リセットトランジスタ4のドレイン線7(7-1、7-2、……)と、共通ドレイン制御線(アドレス制御線)10(10-1、10-2、……)と、共通垂直(出力)信号線11(11-1、11-2、……)が設けられている。なお、各線の括弧内の符号は各列または各行に対応する符号である。

【0016】次に、このような構成の各画素において、フォトダイオード1からの信号は、転送信号線8にH(=アクティブ)レベルのパルス印加することで、電荷検出部5へ読み出される。電荷検出部5では、信号電荷から電圧信号への変換が行われ、垂直信号線11へ電圧の変動として信号が伝達される。このような画素構造において、転送制御線8とリセット制御線9は水平方向(第1方向)に配置されており、アドレス制御線10と垂直信号線11は垂直方向(第2方向)に配置されている。このように、1画素あたりの配線数は横方向も縦方向も2本ずつである。

【0017】このような配置は、フォトダイオード1の面積を大きくし飽和信号電荷量を大きくする場合に非常に有効になる。また、横方向と縦方向への配線は、例えば、横方向が第1の金属電極(アルミや銅など)で形成され、縦方向は第2の金属電極(アルミや銅など)で形成されているので、電極の抵抗値が小さくでき、画素の駆動を高速化することが可能となる。なお、図1では省略しているが、駆動電源6の電源配線としては、第3の金属配線(アルミや銅など)を用いている。

【0018】図2は、本実施の形態における画素の第1の駆動方法を示すタイミングチャートであり、画素信号の読み出し方法について記載している。最初に、アドレス制御線10-1(AddrA)をある所定の期間“H”状態にする。このアドレス制御線=“H”の間に、まず、リセット制御線9-1にパルス印加する。このパルス印加すると、電荷検出部5の電位がアドレス制御線10の電圧とリセットトランジスタ4のチャネル電位の低いほうにリセットされる。次に、読出し制御線8-1にパルス印加する。これにより、フォトダイオード1の信号電荷が電荷検出部5へ読み出される。その後、アドレス制御線=“L”にすることで、読出し動作が完了する。この読出しの場合は、1行毎に読み出す方式なので、隣接する画素のリセット制御線9-2と読出し制御線8-2は駆動していない。次の水平ブランキング期間に駆動する。

【0019】図3は、本実施の形態における画素の第2の駆動方法を示すタイミングチャートである。なお、図中のH5~H7およびL5~L9は、特定のHレベル値およびLレベル値を示している。図2と異なる点は、アドレス信号線10-1(AddrA)のHレベル=H5であるのに対し、Lowレベル=L5がGNDレベルよりも多少大きくなっている。このようにすることによ

て、増幅トランジスタ3を効率よく、ノンアクティブ状態にすることが可能となる。

【0020】図4は、本実施の形態における画素の第3の駆動方法を示すタイミングチャートである。図3と異なる点は、アドレス制御線10-1に再度Low期間を作り、その間にリセット制御線9-1にパルス印加することによって、電荷検出部5の電位を所定の電圧VLowにすることである。図3の動作では、電荷検出部5に信号電荷が貯留されたままとなっているが、図4では、電荷検出部5を読み出し動作直後にリセットするので、信号電荷が貯留したままになることがない。

【0021】図5は、本発明の第2の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。なお、本実施の形態において、各画素内の各素子の構成は図1の例と共通であるので同一符号を用いて説明する。図1の例と異なる点は、読出し制御線14とアドレス制御線15が水平方向に配置形成され、リセットトランジスタのゲートに接続するリセット制御線13-1と垂直信号線11-1が垂直方向に配置形成されていることである。これにより、水平掃線期間毎に電荷検出部5をリセットできるので、電荷検出部5のリーク電流などの影響を防ぐことが可能となる。

【0022】これは、電荷検出部5のリーク電流が大きい場合に非常に効果のある手段である。このレイアウトも横方向、縦方向に、それぞれ2本ずつ配置して最適な画素サイズの縮小化を行うことが可能である。また、横方向2本、縦方向2本のレイアウトは、第1の金属配線を横方向に、第2の金属配線を縦方向に配置することで得られるので、配線遅延の非常に少ない画素の高速駆動が可能となる。

【0023】図6は、本実施の形態における画素の第1の駆動方法を示すタイミングチャートであり、画素信号の読み出し方法について記載している。まず、アドレス制御線15-1をある所定の期間“H”にする。この期間に、リセット制御線13-1にパルス印加し、電荷検出部5をリセットする。その後、読出し制御線14-1にパルス印加することでフォトダイオード1の信号を読み出す。そして、読出しの一連の動作が終了した後で、アドレス制御線15-1をLowにし、再度、リセット制御線13-1にパルス印加する。これによって、電荷検出部5を所定の電圧VAddrでリセットできる。

【0024】図7は、本実施の形態における画素の第2の駆動方法を示すタイミングチャートである。なお、図中のH1~H4およびL1~L3は、特定のHレベル値およびLレベル値を示している。図6と異なる点は、アドレス制御線15-1のLowレベルがL1であり、GNDレベルよりも若干大きくなっている。このようにすることによって、電荷検出部5からフォトダイオード1へ逆に流れるリーク電流成分を削減できる。

【0025】図8は、本実施の形態における画素の第3の駆動方法を示すタイミングチャートである。この方法は、アドレス制御線15-1のLow側の電圧をGND=0Vよりも高い電圧である“VL1”とし、読出し制御線14-1のLow側の電圧を“VL2”としている。VL1の電圧設定により、電荷検出部5から転送トランジスタ2を通過してフォトダイオード1に電流が流れるのを防ぐことができる。また、VL2の電圧設定により、VL1による電圧設定と同じ効果を得ることができる。なお、VL1、VL2の電圧設定は、図8に示す例のように両方を適用してもよいし、片方だけを適用してもよい。

【0026】図9は、本発明の第3の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。なお、本実施の形態において、各画素内の構成は駆動電源6と接続構造を除いて図1、図5の例と共通であるので同一符号を用いて説明する。上述した図1、図5に示す画素構成と異なる点は、リセットトランジスタ4のドレインと増幅トランジスタ3の電源端子が共通電源配線16(16-1、16-2、……)に接続されている点である。この共通配線16は縦方向に配置されている電源制御線17(17-1、17-2、……)に接続されている。このようなレイアウトにより、横方向の制御線19(19-1、19-2、……)、20(20-1、20-2、……)と、縦方向の制御線17、18の2つの金属配線だけで画素の動作を行うことができる。すなわち、図1、図5に示す構成では、電源配線として第3の金属配線が必要であったが、本例では不要となる。

【0027】図10は、本実施の形態における画素の第1の駆動方法を示すタイミングチャートであり、信号読出し時の動作を示している。まず、電源制御線17-1(Act1)がある所定の期間Hレベル(アクティブ)になる。この間に、リセット制御線20にパルス信号が印加されるので電荷検出部5(図10では省略)が所定の電圧にリセットされる。その後、読出し制御線19-1にパルスが印加される。これによって、フォトダイオード1(図10では省略)の信号電荷を電荷検出部5へ読み出すことができる。その後、電源制御線17-1をLレベルにし、再度、リセット制御線20-1にパルス信号を印加することにより、電荷検出部5をGNDレベルにし、増幅トランジスタ3をOFF状態にし、この列の画素をノンアクティブ状態にすることができる。

【0028】図11は、本実施の形態における画素の第2の駆動方法を示すタイミングチャートである。この例では、電源制御線17-1のLow側の電圧がVL10>GND=0Vとなっている。これにより、上述の例で説明したように、電荷検出部5から転送トランジスタ2を通りフォトダイオード1に電流が流れるのを防ぐことができる。

【0029】図12は、本実施の形態における画素の第3の駆動方法を示すタイミングチャートである。この例では、読出し制御線19-1のLow電圧がVL11(<GND=0V)になり、リセット制御線20-1のLow電圧がVL12(<GND=0V)になっていることが、図11の例と異なる。なお、VL11の採用は図11で説明した方法と同じ効果を有しているが、VL12の採用はリセットトランジスタ4を完全にOFF状態にできる効果を有する。

【0030】図13は、本発明の第4の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図であり、上下左右の4画素分の構成を示している。本例による固体撮像装置の各単位画素は、フォトダイオード1(1-1-1、1-2-1、1-1-2、1-2-2、……)、転送トランジスタ2(2-1-1、2-2-1、2-1-2、2-2-2、……)、増幅トランジスタ3(3-1-1、3-2-1、3-1-2、3-2-2、……)、リセットトランジスタ4(4-1-1、4-2-1、4-1-2、4-2-2、……)、電荷検出部5(5-1-1、5-2-1、5-1-2、5-2-2、……)、駆動電源6(6-1-1、6-2-1、6-1-2、6-2-2、……)を有している。また、各単位画素の信号配線としては、横方向に転送制御線24(24-1、24-2、……)とリセット制御線25(25-1、25-2、……)が設けられ、縦方向に共通ドレイン制御線(共通電源線)22(22-1、22-2、……)と、共通垂直(出力)信号線23(23-1、23-2、……)が設けられている。

【0031】そして、本例の固体撮像装置では、リセットトランジスタ4(4-1-1、4-1-2、4-2-1、4-2-2、……)のドレイン端子が上下(垂直走査方向)に隣接して配置されている2つの画素で、共通配線21(21-1-1、21-1-2、21-2-1、21-2-2、……)になっており、共通電源線22(22-1、22-2、……)に接続されている。このようなレイアウト構造により、コンタクト数を上下の2つの画素で1個分削減させることができる。なお、その他の構成は、上述した実施の形態と同様であるので説明は省略する。

【0032】図14は、本発明の第5の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図であり、上下左右の4画素分の構成を示している。本例による固体撮像装置の各単位画素は、フォトダイオード1(1-1-1、1-2-1、1-1-2、1-2-2、……)、転送トランジスタ2(2-1-1、2-2-1、2-1-2、2-2-2、……)、増幅トランジスタ3(3-1-1、3-2-1、3-1-2、3-2-2、……)、リセットトランジスタ4(4-1-1、4-2-1、4-1-2、4-2-2、……)、電荷検出部5(5-1-1、5-2-1、5-1-2、5-2-2、……)



2、……)、駆動電源6(6-1-1、6-2-1、6-1-2、6-2-2、……)を有している。また、各単位画素の信号配線としては、横方向に転送制御線24(24-1、24-2、……)とリセット制御線25(25-1、25-2、……)が設けられ、縦方向に共通ドレイン制御線(共通電源線)22(22-1、22-2、……)と、共通垂直(出力)信号線23(23-1、23-2、……)が設けられている。

【0033】そして、本例の固体撮像装置では、リセットトランジスタ4のドレイン線21(21-1-1、21-1-2、……)と、増幅トランジスタ3(3-1-1、3-1-2、3-2-1、3-2-2、……)のドレイン線27(27-1-1、27-1-2、……)を上下の画素で共通にしている。そして、リセットトランジスタ4のドレイン線21(21-1-1、21-1-2、……)は、共通配線26(26-1-1、26-1-2、……)によって共通電源線22(22-1、22-2、……)に接続されている。また、増幅トランジスタ3(3-1-1、3-1-2、3-2-1、3-2-2、……)のドレイン線27(27-1-1、27-1-2、……)には、駆動電源6(6-1、6-2、……)が接続されている。このようなレイアウト構造により、コンタクト数を上下の2つの画素で2個削減させることができる。なお、その他の構成は、上述した実施の形態と同様であるので説明は省略する。

【0034】図15は、本発明の第6の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。各画素の回路構造は左右対称となっており、図15では、上下左右の4画素とその周辺画素の一部の構成を示している。本例による固体撮像装置の各単位画素は、フォトダイオード1(1-1-1、1-1-2、1-1-3、1-1-4、1-2-1、1-2-2、1-2-3、1-2-4、……)、転送トランジスタ2(2-1-1、2-1-2、2-1-3、2-1-4、2-2-1、2-2-2、2-2-3、2-2-4、……)、増幅トランジスタ3(3-1-1、3-1-2、3-1-3、3-1-4、3-2-1、3-2-2、3-2-3、3-2-4、……)、リセットトランジスタ4(4-1-1、4-1-2、4-1-3、4-1-4、4-2-1、4-2-2、4-2-3、4-2-4、……)、電荷検出部5(5-1-1、5-1-2、5-1-3、5-1-4、5-2-1、5-2-2、5-2-3、5-2-4、……)を有している。また、各単位画素の信号配線としては、横方向に転送制御線24(24-1、24-2、……)とリセット制御線25(25-1、25-2、……)が設けられ、縦方向に共通電源制御線28(28-1、28-2、……)と、共通垂直(出力)信号線29(29-1、29-2、……)が設けられている。

【0035】そして、増幅トランジスタ3のドレインは

コンタクト30(30-1-1、30-1-2、30-2-1、30-2-2、……)を介して共通の電源制御線28(28-1、28-2、……)に接続されている。この電源制御線28は、左右の2つの画素で共通になっており、コンタクト数と縦方向の配線数を削減することが可能である。また、リセットトランジスタ4のドレインもコンタクト31(31-1-1、31-2-1、……)を介して共通の電源制御線28に接続されている。これも、コンタクト数を削減することが可能である。

【0036】なお、図15において、増幅トランジスタの電源コンタクト30とリセットトランジスタの制御線コンタクト31を共通化し、電源制御線28に接続している。しかし、電源コンタクト30と制御線コンタクト31を第3の金属配線で接続し、さらにこの第3の金属配線によってフォトダイオード1の遮光を兼ねることが可能である。このようにすることによって、レイアウトの自由度をさらに向上させることが可能である。

【0037】また、図では示していないが、少なくとも光電変換素子(フォトダイオード)と、光電変換素子の信号を読み出す転送トランジスタと、信号電荷を電気信号に変換するための電荷検出部と、この電荷検出部がゲートに接続された増幅トランジスタと、電荷検出部の信号をある初期値に設定する機能をもったリセットトランジスタとを有する画素では、上述のように左右・上下を複数画素で共通化することが可能である。特に、色フィルタを配置した固体撮像装置では、1組の色配列に対応して、2×2、2×4、2×8などで画素の配列を共通化し、微細化画素を開発することが可能である。

【0038】また、図面上では、3つのトランジスタと1つのフォトダイオードを持っている例を示しているが、この他にも、4個以上のトランジスタと複数のフォトダイオードでも同様に本発明に適用することが可能である。ここで重要な点は、縦方向の制御線を採用することで、配線数を横方向に増加させることなく微細化することが可能となる点である。さらに本発明は、上述のような構造の固体撮像装置に限らず、各種の固体撮像装置に適用し得るものであり、特に微細化画素では有効な技術である。

【0039】

【発明の効果】以上説明したように本発明の固体撮像装置によれば、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、転送トランジスタのゲートを制御する転送制御線とリセットトランジスタのゲートを制御するリセット制御線が単位画素の2次元行列配置の第1方向に配置され、リセットトランジスタのドレイン電圧を制御するアドレス制御線と増幅トランジスタのソースに接続される出力信号線が単位画素の2次元行列配置の第2方向に接続されていることから、各単位画素における配



線を2次元方向にバランスよく分散できるので、画素サイズに対する配線の影響を緩和でき、単位画素の微細化を達成でき、また、受光部の開口率を向上することができる。

【0040】また本発明の固体撮像装置によれば、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、水平帰線期間毎にリセットトランジスタをON状態にすることにより、前記電荷検出部を所定の電圧にリセットする動作モードを有することから、水平帰線期間毎に電荷検出部をリセットできるので、電荷検出部のリーク電流などの影響を防ぐことができ、各素子や配線のレイアウトが容易となり、その分、単位画素の微細化も可能となり、また、受光部の開口率を向上することができる。

【0041】また本発明の固体撮像装置によれば、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、転送トランジスタのゲートを制御する転送制御線とリセットトランジスタのドレインを制御するアドレス制御線が単位画素の2次元行列配置の第1方向に配置され、リセットトランジスタのゲートを制御するリセット制御線と増幅トランジスタのソースに接続される出力信号線が単位画素の2次元行列配置の第2方向に接続されていることから、各単位画素における配線を2次元方向にバランスよく分散できるので、画素サイズに対する配線の影響を緩和でき、単位画素の微細化を達成でき、また、受光部の開口率を向上することができる。

【0042】また本発明の固体撮像装置によれば、各単位画素に光電変換素子、転送トランジスタ、増幅トランジスタ、およびリセットトランジスタを設けた構成で、リセットトランジスタのドレインと増幅トランジスタのドレインが共通接続されていることから、単位画素における配線数を減らすことができ、その分のスペースを削減して、単位画素の微細化を達成でき、また、受光部の開口率を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による固体撮像装置

の単位画素の等価回路を示す回路図である。

【図2】図1に示す固体撮像装置の単位画素における第1の駆動方法を示すタイミングチャートである。

【図3】図1に示す固体撮像装置の単位画素における第2の駆動方法を示すタイミングチャートである。

【図4】図1に示す固体撮像装置の単位画素における第3の駆動方法を示すタイミングチャートである。

【図5】本発明の第2の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。

【図6】図5に示す固体撮像装置の単位画素における第1の駆動方法を示すタイミングチャートである。

【図7】図5に示す固体撮像装置の単位画素における第2の駆動方法を示すタイミングチャートである。

【図8】図5に示す固体撮像装置の単位画素における第3の駆動方法を示すタイミングチャートである。

【図9】本発明の第3の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。

【図10】図9に示す固体撮像装置の単位画素における第1の駆動方法を示すタイミングチャートである。

【図11】図9に示す固体撮像装置の単位画素における第2の駆動方法を示すタイミングチャートである。

【図12】図9に示す固体撮像装置の単位画素における第3の駆動方法を示すタイミングチャートである。

【図13】本発明の第4の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。

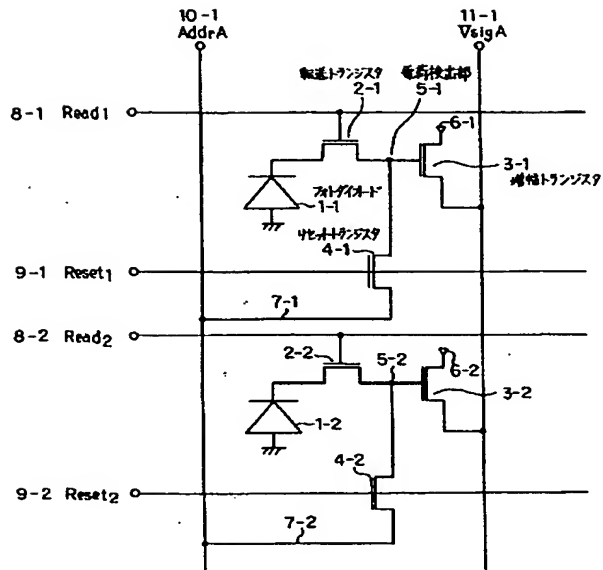
【図14】本発明の第5の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である。

【図15】本発明の第6の実施の形態による固体撮像装置の単位画素の等価回路を示す回路図である

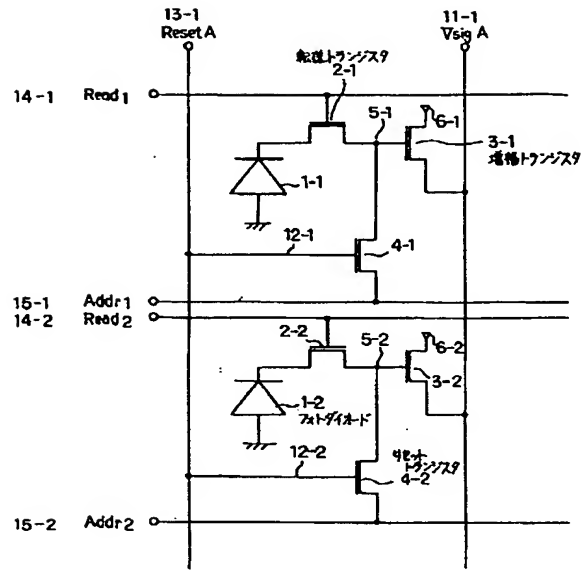
【符号の説明】

1……フォトダイオード、2……転送トランジスタ、3……増幅トランジスタ、4……リセットトランジスタ、5……電荷検出部、6……駆動電源、7……リセットドレイン線、8……転送制御線、9……リセット制御線、10……共通ドレイン制御線、11……共通垂直（出力）信号線。

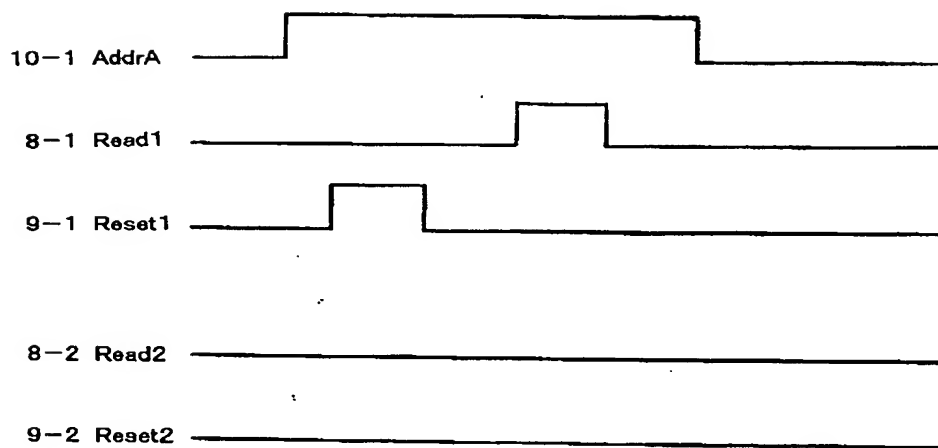
【図1】



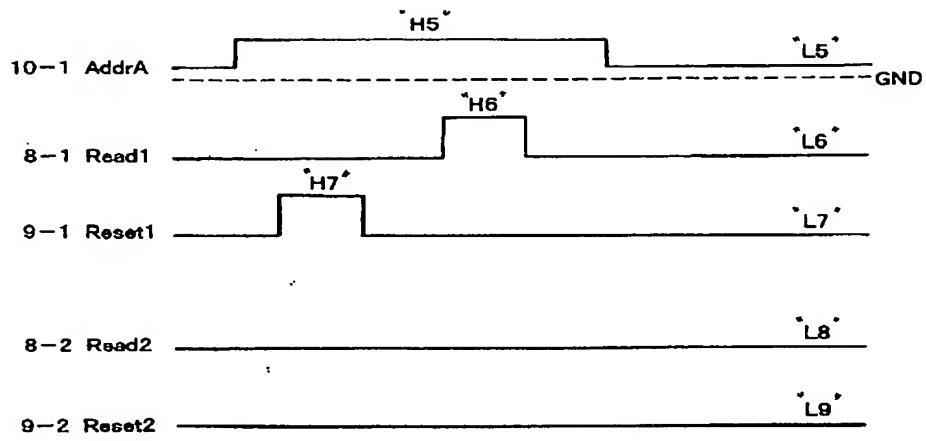
【図5】



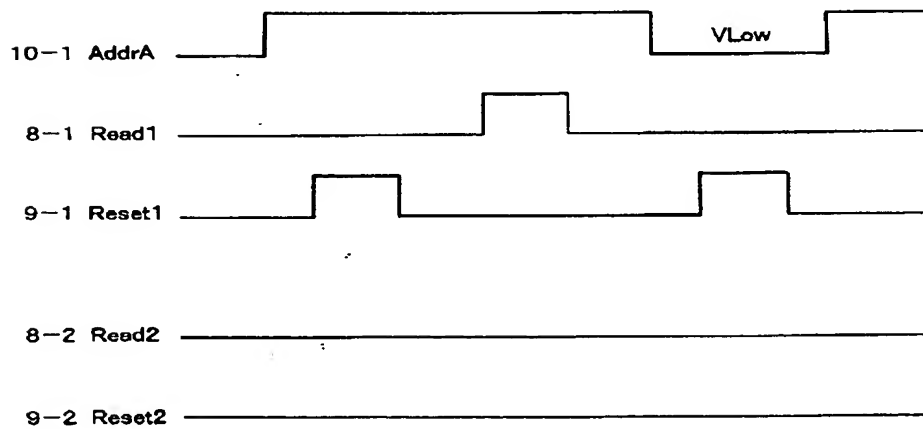
【図2】



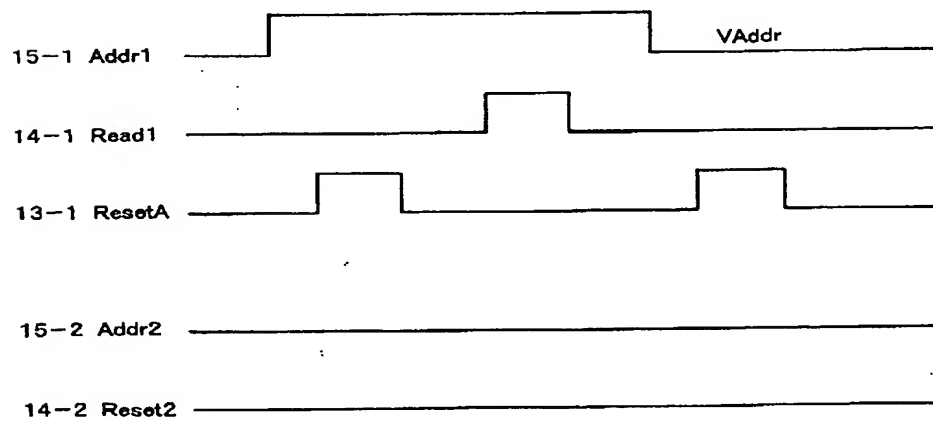
【図3】



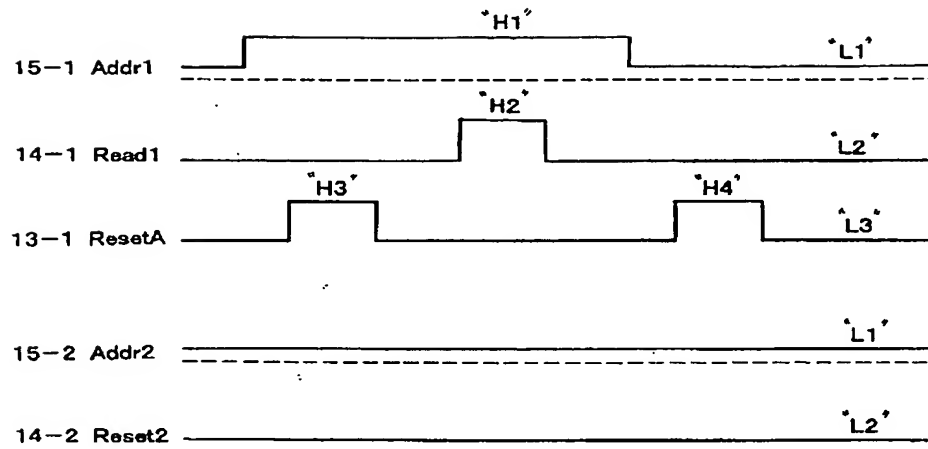
【図4】



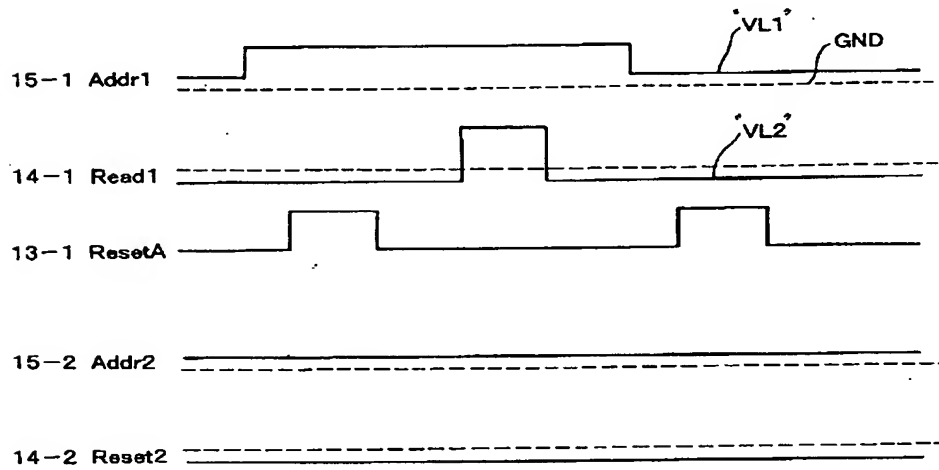
【図6】



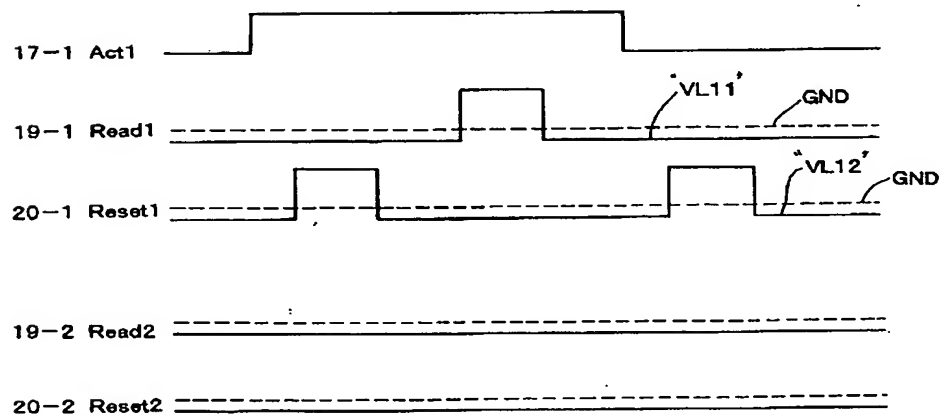
【図7】



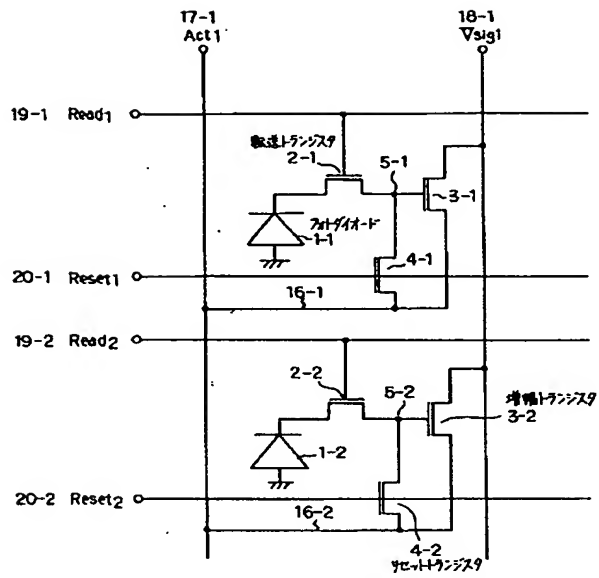
【図8】



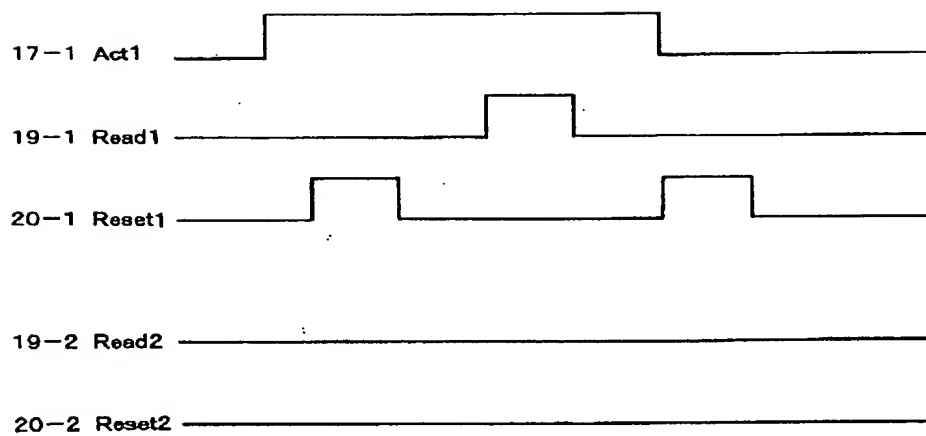
【図12】



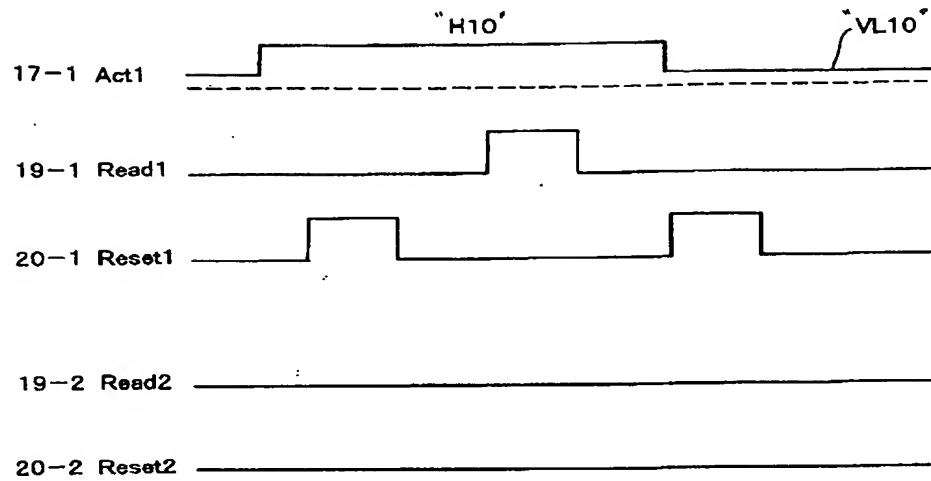
【図9】



【図10】



【図11】



【図13】

